

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-104312

(43) 公開日 平成7年(1995)4月21日

| | | | | |
|---------------------------|-------|---------|----------------|---------|
| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 2 F 1/136 | 5 0 0 | | | |
| H 0 1 L 29/786 | | 9056-4M | H 0 1 L 29/ 78 | 3 1 1 A |

審査請求 未請求 請求項の数2 O L (全7頁)

(21) 出願番号 特願平5-245336

(22) 出願日 平成5年(1993)9月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 北井 健一

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72) 発明者 大今 進

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

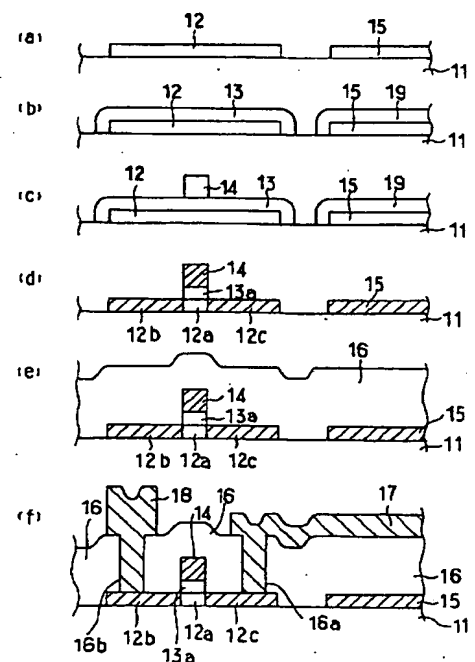
(74) 代理人 弁理士 目次 誠 (外1名)

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【目的】 液晶表示装置において、画素部の光透過率を向上し、消費電力を低減する。

【構成】 マトリクス状に配置された複数の画素部を駆動するため各画素部に薄膜トランジスタが配置され、各薄膜トランジスタは、ソース領域12c、チャンネル領域12a、ドレイン領域12bが形成された半導体活性層12と、半導体活性層12のチャンネル領域12a上にゲート絶縁膜13aを介して設けられるゲート電極14とを備え、画素部には層間絶縁膜16を介して表示電極17と対向する補助容量電極15が設けられている液晶表示装置の製造方法において、補助容量電極15の構成する半導体薄膜と、薄膜トランジスタの半導体活性層12を構成する半導体薄膜とが同一の薄膜形成工程で形成されることを特徴としている。



【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数の画素部を駆動するため各画素部に薄膜トランジスタが配置され、各薄膜トランジスタは、ソース領域、チャンネル領域、及びドレイン領域が形成された半導体活性層と、該半導体活性層のチャンネル領域上にゲート絶縁膜を介して設けられるゲート電極とを備え、画素部には層間絶縁膜を介して表示電極と対向する補助容量電極が設けられている液晶表示装置の製造方法において、前記補助容量電極を構成する半導体薄膜と、前記薄膜トランジスタの前記半導体活性層を構成する半導体薄膜とが同一の薄膜形成工程で形成されることを特徴とする、液晶表示装置の製造方法。

【請求項 2】 マトリクス状に配置された複数の画素部を駆動するため各画素部に薄膜トランジスタが配置されている液晶表示装置であって、前記薄膜トランジスタのソース領域、チャンネル領域及びドレイン領域を構成する半導体活性層と、前記半導体活性層のチャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体活性層と同一の薄膜形成工程で画素部に形成される補助容量電極と、前記補助容量電極上に形成される層間絶縁膜と、前記層間絶縁膜上に形成され、前記ソース領域及びドレイン領域の一方と電気的に接続される表示電極とを備える、液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置の製造方法に関するものであり、特にマトリクス状に配置された画素部を薄膜トランジスタ（以下、TFTという）を用いて駆動するアクティブマトリクス型の液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】 近年、TFTを用いた液晶ディスプレイが、TV、ビデオカメラ、ノート型パソコンの表示ディスプレイ等に用いられてきており、大画面化、高精細化とともに、消費電力の低減等が図られている。

【0003】 消費電力の低減を図るためにはバックライトに消費される電力を低減させることが有効である。そのため、液晶ディスプレイにおける光透過率を向上させることが必要となる。

【0004】 図8は、TFTを用いた従来の液晶表示装置の製造工程を示す断面図である。図8(a)を参照して、まずガラス基板等の透明基板1上に、多結晶シリコン等からなる半導体活性層2を形成する。次に、図8(b)に示すように、半導体活性層2の上にゲート絶縁膜となる酸化シリコン等の絶縁膜3を形成する。

【0005】 次に、図8(c)を参照して、多結晶シリ

コン等からなる半導体膜を形成し、これをフォトリソグラフィ法でパターン化することにより、絶縁膜3上のゲート電極4と、基板1上の補助容量電極5を形成する。

【0006】 次に図8(d)を参照して、ゲート電極4及び補助容量電極5の部分に不純物をドーピングする。また、ゲート電極4の下方領域以外の半導体活性層に不純物をドーピングすることによりドレイン領域2b及びソース領域2cを形成し、これらの間をチャンネル領域2aとする。なお、絶縁膜3の除去はドーピングの前後いずれでもよい。

【0007】 次に、図8(e)を参照して、窒化シリコン(SiNx)膜や酸化シリコン(SiO₂)等からなる層間絶縁膜6を形成する。次に図8(f)に示すように、層間絶縁膜6のドレイン領域2b及びソース領域2cの上方にコンタクトホール6b、6aを形成する。コンタクトホール6bには、A1等からなるドレイン電極8が埋め込まれるように形成される。またコンタクトホール6aには、ITO膜等からなる表示電極7が埋め込まれるように形成される。

【0008】

【発明が解決しようとする課題】 このような従来の方法により製造される液晶表示装置においては、図8(f)に示されるように、表示電極7と補助容量電極5との間で補助容量が形成されるが、補助容量電極5は、図8(c)に示されるようにゲート電極4と同一の工程において形成されるものであるため、その膜厚は1000~3000Å程度の厚いものとなった。このため、補助容量電極5は半透明であり、この補助容量電極の存在により画素部の光透過率が減少し、光源の明るさを増大する必要があり、消費電力低減の妨げとなっていた。

【0009】 本発明の目的は、このような従来の問題点を解消し、画素部における光透過率を向上させることができ、光源の明るさを増大させる必要がなく、従って消費電力の低減を図ることのできる液晶表示装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】 本発明の製造方法は、マトリクス状に配置された複数の画素部を駆動するため各画素部TFTが配置され、各TFTは、ソース領域、チャンネル領域及びドレイン領域が形成された半導体活性層と、該半導体活性層のチャンネル領域上にゲート絶縁膜を介して設けられるゲート電極とを備え、画素部には層間絶縁膜を介して表示電極と対向する補助容量電極が設けられた液晶表示装置を製造する方法であり、補助容量電極を構成する半導体膜と、TFTの半導体活性層を構成する半導体薄膜とが同一の薄膜形成工程で形成されていることを特徴としている。

【0011】 また、本発明に従う液晶表示装置は、TFTのソース領域、チャンネル領域及びドレイン領域を構

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-104312
(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

G02F 1/136
H01L 29/786

(21)Application number : 05-245336

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.09.1993

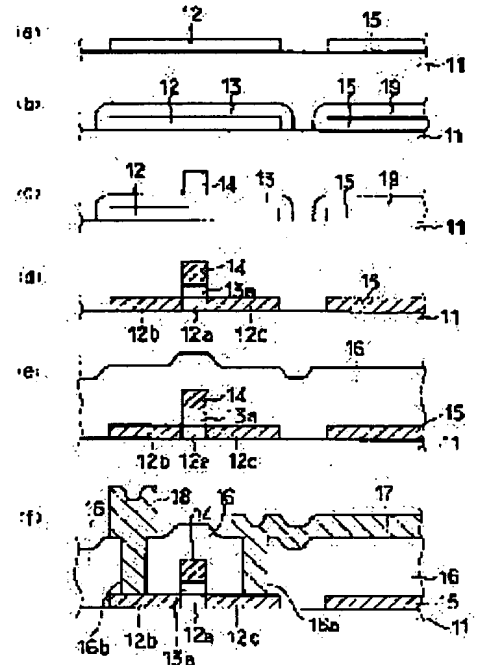
(72)Inventor : KITAI KENICHI
OOIMA SUSUMU

(54) PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To improve the light transmittance of the pixel parts of the liquid crystal display device and to reduce its electric power consumption.

CONSTITUTION: This process produces the liquid crystal display device in the following manner: Thin-film transistors(TFTs) are arranged in the respective pixel parts for driving the plural pixel parts arranged in a matrix form. Each TFT has a semiconductor active layer 12 formed with a source region 12c, a channel region 12a and a drain region 12b and a gate electrode 14 disposed via a gate insulating film 13a on the channel region 12a of the semiconductor active layer 12. The pixel parts are provided with auxiliary capacitance electrodes 15 facing display electrodes 17 via interlayer insulating films 16. In the process described above, the semiconductor thin films constituting the auxiliary capacitance electrodes 15 and the semiconductor thin films constituting the semiconductor active layers 12 of the TFTs are formed by the same thin film forming stage.



LEGAL STATUS

[Date of request for examination] 09.11.1999
[Date of sending the examiner's decision of rejection] 03.07.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

...S PAGE BLANK (USPTO)

3

成する半導体活性層と、半導体活性層のチャンネル領域上に形成されるゲート絶縁膜と、ゲート絶縁膜上に形成されるゲート電極と、半導体活性層と同一の薄膜形成工程で画素部に形成される補助容量電極と、補助容量電極上に形成される層間絶縁膜と、層間絶縁膜上に形成されるソース領域及びドレイン領域の一方と電気的に接続される表示電極とを備えている。

【0012】

【作用】本発明に従えば、補助容量電極は、TFTのソース領域、チャンネル領域及びドレイン領域を構成する半導体活性層と同一の薄膜形成工程で形成される。この半導体活性層は、通常300～700Å程度の厚みで形成されるため、この半導体活性層と同一の薄膜形成工程で形成される補助容量電極の厚みも同様の厚みとなる。このため、従来に比べ補助容量電極の厚みが薄くなり、画素部における光透過率を向上させることができる。

【0013】

【実施例】図1は、本発明に従う第1の実施例の製造工程を示す断面図である。図1(a)を参照して、ガラス基板等の透明基板11上に多結晶シリコン等からなる半導体活性層12及び補助容量電極15(厚み300～700Å)を同時に形成する。これらの半導体活性層12及び補助容量電極15は、同時に形成した半導体薄膜をフォトリソグラフィ法等でパターン化することにより形成することができる。

【0014】次に、図1(b)に示すように半導体活性層12上に絶縁膜13、補助容量電極15上に絶縁膜19(厚み800～1300Å)を同時に形成する。絶縁膜として酸化シリコンを形成する場合には、半導体活性層12及び補助容量電極15の熱酸化によりその表面に酸化シリコン膜を形成させてもよい。またCVD法等により絶縁膜13及び19を形成させてもよい。

【0015】次に、図1(c)を参照して、絶縁膜13上に多結晶シリコン等からなるゲート電極14(厚み1000～3000Å)を形成する。次に図1(d)に示すように、ゲート電極14の下方部分以外の絶縁膜13をエッチング等で除去しゲート電極14の下方にゲート絶縁膜13aを形成する。また絶縁膜19を同様にエッチング等で除去する。次に不純物をドーピングすることにより、ゲート電極14及び補助容量電極15を電極化する。また半導体活性層12に不純物をドーピングすることにより、ドレイン領域12b及びソース領域12cを形成し、ドレイン領域12bとソース領域12cの間の領域をチャンネル領域12aとする。

【0016】次に、図1(e)に示すように、窒化シリコンまたは酸化シリコン等からなる層間絶縁膜16(厚み3000～6000Å)を全面に形成する。次に、図1(f)に示すように、層間絶縁膜16のソース領域12c及びドレイン領域12b上に、コンタクトホール16a及び16bを形成する。コンタクトホール16bに

4

は、ドレイン領域12bと電気的に接続されるドレイン電極18(5000Å程度)をA1等の金属から形成する。コンタクトホール16aには、ITO等からなる表示電極17(1000Å程度)が埋め込まれソース領域12cと電気的に接続するように形成される。

【0017】図1(f)に示されるように、この実施例では補助容量電極15と表示電極17との間で補助容量が形成される。補助容量電極15は、図1(a)に示すように半導体活性層12と同時に形成される半導体薄膜から形成されるものであるため、その厚みが従来よりも薄くなり、より透明な電極として形成される。このため、画素部の光透過率を従来よりも高めることができる。

【0018】図2は、図1に示す工程で製造されるTFTを備えた液晶表示装置の画素領域部分の一部を示す模式的平面図である。図3は液晶表示装置の各領域の配置を模式的に示しており、画素領域30の回りに端子領域31が存在し、その回りにドライバー領域32が存在している。図2に示す部分は、図3において参照番号33として示される部分である。また、図1に示す断面は、図2に示すA-A線に沿う断面である。

【0019】図2を参照して、TFT20のゲート電極14はゲート端子23を備えたゲートバスライン24に接続されている。TFT20のドレイン電極18はドレイン端子21を備えたドレインバスライン22に接続されている。また各画素部の補助容量電極15は、隣接する列方向または行方向の画素部間で互いに接続され、補助容量共通電極25に接続されている。このような補助容量電極15の接続ライン及び補助容量共通電極25は、補助容量電極15をパターンニングする際に補助容量電極15と同じ半導体薄膜をパターンニングして形成することができるものである。

【0020】図4は、本発明に従う第2の実施例の製造工程を示す断面図である。図4(a)を参照して、上記第1の実施例と同様にして、透明基板41の上に、半導体活性層42及び補助容量電極45を形成する。次に、半導体活性層42の上に、図4(b)に示すようにレジスト43を形成し、この状態で不純物をドーピングすることにより、ドレイン領域42b及びソース領域42cを形成し、これらの間の半導体活性層をチャンネル領域42aとする。また不純物のドーピングにより補助容量電極45を形成する。

【0021】次に、図4(c)を参照して、全面に絶縁膜46を形成し、ソース領域42c上の絶縁膜46にコンタクトホール46aを形成する。次に、図4(d)を参照して、チャンネル領域42aの上方の絶縁膜46上に多結晶シリコン等からなるゲート電極44を形成する。また、これと同時にコンタクトホール46aを埋め込むように多結晶シリコン等からなる表示電極47を絶縁膜46の上に形成する。図4(d)に示されるよう

に、絶縁膜46は、層間絶縁膜であるとともに、ゲート絶縁膜としての機能も有している。従って、このような絶縁膜46の厚みとしては、ゲート絶縁膜の一般的な厚みより厚く、層間絶縁膜の一般的に厚みよりも薄い厚みとなり、一般には2000~3000Å程度が適当である。その他の膜厚については、第1の実施例と同様の膜厚で形成させることができる。

【0022】本実施例においても、図4(a)に示されるように、補助容量電極45を半導体活性層42の形成工程において形成しているため、その膜厚を従来の約半分にすることができ、光透過率を著しく向上させることができる。

【0023】図5は、図4に示すTFTを用いた液晶表示装置の一部を示す平面図であり、図2と同様の図である。図5を参照して、TFT50のゲート電極44は、ゲート端子53を備えたゲートバスライン54に接続されている。TFT50のドレイン領域42bは、ドレイン端子51を備えたドレインバスライン52と電気的に接続されている。なお、ドレイン端子51及びドレインバスライン52は、ドレイン領域42bを構成する半導体薄膜をパターニングする際にこれらをパターニングすることによって形成させることができる。補助容量電極45は、第1の実施例と同様に隣接する列方向または行方向の画素部間で接続されており、補助容量共通電極55に接続されている。

【0024】図4に示されるように、本実施例では、ゲート絶縁膜と層間絶縁膜の両方の機能を有した絶縁膜を形成させ、またゲート電極と表示電極を同一工程で形成し、さらに図5に示されるように、ドレイン電極を接続するドレインバスラインを半導体薄膜のパターニングにより形成させている。このため、工程数が少なくなり、製造工程を著しく簡略化することができる。

【0025】図6は、本発明に従う第3の実施例の製造工程を示す断面図である。図6(a)を参照して、第1の実施例及び第2の実施例と同様に、透明基板61の上に多結晶シリコン等からなる半導体活性層62及び補助容量電極65を形成する。次に、図6(b)に示すように、半導体活性層62及び補助容量電極65を覆うように絶縁膜63を形成する。

【0026】次に、図6(c)に示すように、半導体活性層62の上方の絶縁膜63の上にレジスト膜60を形成し、不純物を補助容量電極65にドーピングし、補助容量電極65を形成する。

【0027】次に、図6(d)に示すように、補助容量電極65の上の絶縁膜63の一部にコンタクトホール63aを形成する。次に、図6(e)に示すように、ゲート電極64及び前段のゲート電極と接続されるゲートバスライン74を形成する。ゲート電極64は、半導体活性層のチャンネル領域62aとなる部分の上方に形成される。またゲートバスライン74は、コンタクトホール

63aを通り補助容量電極65と電気的に接続されるように形成される。ゲート電極64、ゲートバスライン74及び半導体活性層62に不純物がドーピングされ、ゲート電極64、ゲートバスライン74が形成されるとともに、半導体活性層62にドレイン領域62b及びソース領域62cが形成され、それらの間がチャンネル領域62aとなる。

【0028】次に、図6(f)を参照して、層間絶縁膜66を全面に形成した後、画素部の層間絶縁膜66の上にITO等からなる表示電極67が形成される。次にドレイン領域62b上及びソース領域62c上の層間絶縁膜66にコンタクトホール66b及び66aが形成される。

【0029】次に、図6(g)に示すように、コンタクトホール66b内に金属からなるドレイン電極68が埋め込まれるように形成されてドレイン電極68とドレイン領域62bが電気的に接続され、コンタクトホール66a内に埋め込まれるように金属からなるソース電極69が形成され、ソース領域62c及び表示電極67と電気的に接続される。

【0030】本実施例においては、表示電極67と補助容量電極65との間で補助容量が形成され、上記第1及び第2の実施例と同様に、補助容量電極65の厚みを薄くすることができるので、光透過率を向上させることができる。

【0031】図7は、図6に示すTFTを備えた液晶表示装置の一部を示す模式的平面図であり、図2に対応する図である。図7に示されるように、TFT70のゲート電極64はゲート端子73を備えたゲートバスライン74に電気的に接続されている。またTFTのドレイン電極68はドレイン端子71を備えたドレインバスライン72に電気的に接続されている。また本実施例では、補助容量電極65は、前段のゲートバスライン74に電気的に接続されている。

【0032】なお、図4及び図6に示す断面は、それぞれ図5及び図7に示すA-A線に沿う断面である。

【0033】

【発明の効果】本発明に従えば、補助容量電極を構成する半導体薄膜が、TFTの半導体活性層を構成する半導体薄膜と同一の薄膜形成工程で形成される。このため、従来よりも膜厚の薄い半導体薄膜で補助容量電極を構成させることができ、従来問題となっていた補助容量電極による光透過率の低下を少なくすることができ、光透過率を著しく向上させることができる。従って、本発明に従えば、光透過率の高い液晶ディスプレイを作製することができ、消費電力の低減等を可能にすることができる。

【図面の簡単な説明】

【図1】本発明に従う第1の実施例の製造工程を示す図。

7

【図2】図1に示す第1の実施例のTFTを備えた液晶表示装置の一部を示す模式的平面図。

【図3】図2に示す液晶表示装置の全体を示す模式的平面図。

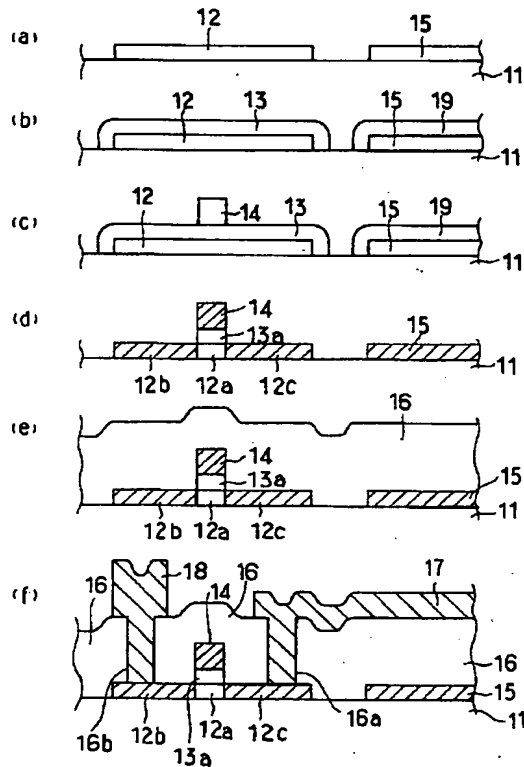
【図4】本発明に従う第2の実施例の製造工程を示す図。

【図5】図4に示す第2の実施例のTFTを備えた液晶表示装置の一部を示す模式的平面図。

【図6】本発明に従う第3の実施例の製造工程を示す図。

【図7】図6に示す第3の実施例のTFTを備えた液晶表示装置の一部を示す模式的平面図。

【図1】



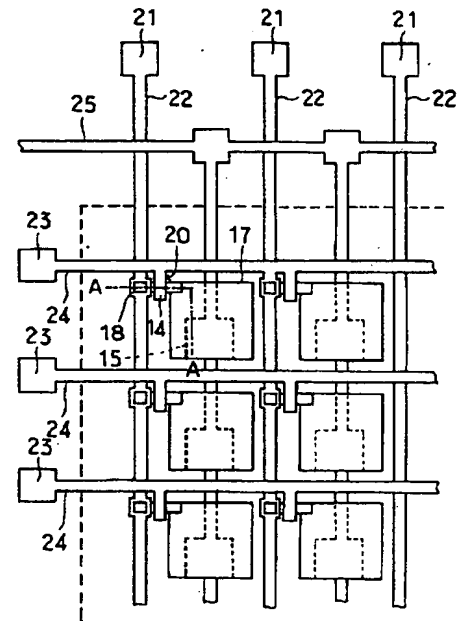
8

【図8】従来の製造工程を示す断面図。

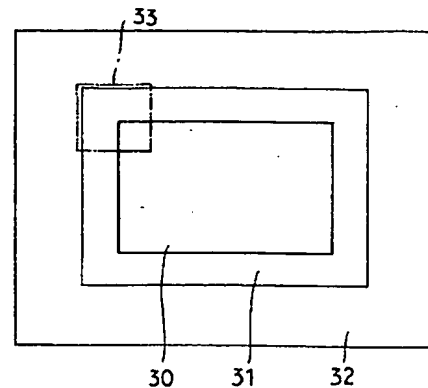
【符号の説明】

- 11, 41, 61…透明基板
- 12, 42, 62…半導体活性層
- 13, 19, 46, 63…絶縁膜
- 14, 44, 64…ゲート電極
- 12a, 42a, 62a…チャンネル領域
- 12b, 42b, 62b…ドレイン領域
- 12c, 42c, 62c…ソース領域
- 10 13a, 63a…ゲート絶縁膜
- 15, 45, 65…補助容量電極
- 16, 66…層間絶縁膜

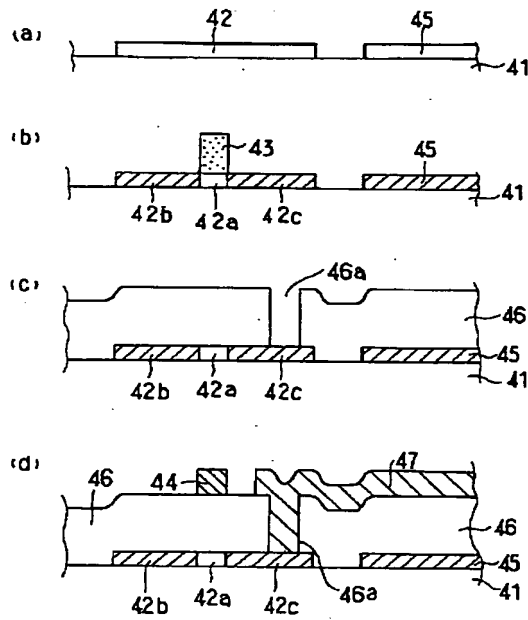
【図2】



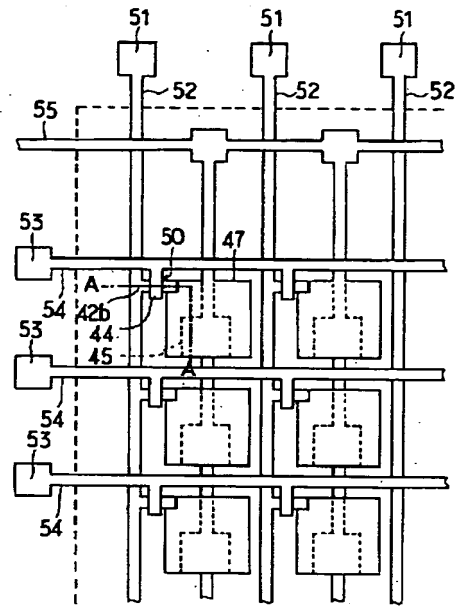
【図3】



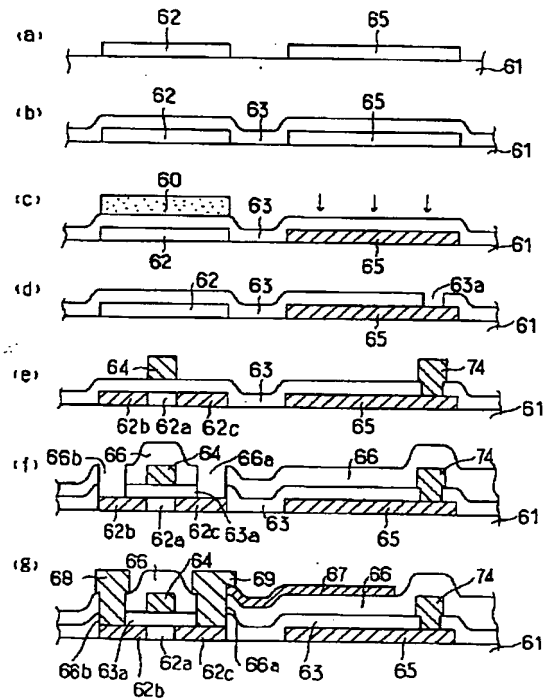
【図4】



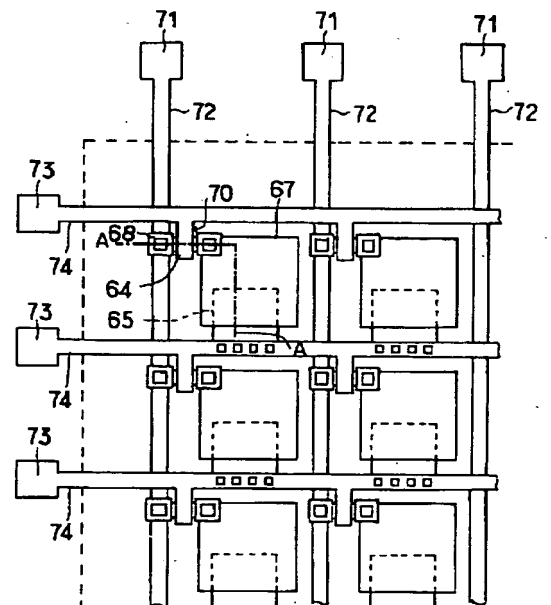
【図5】



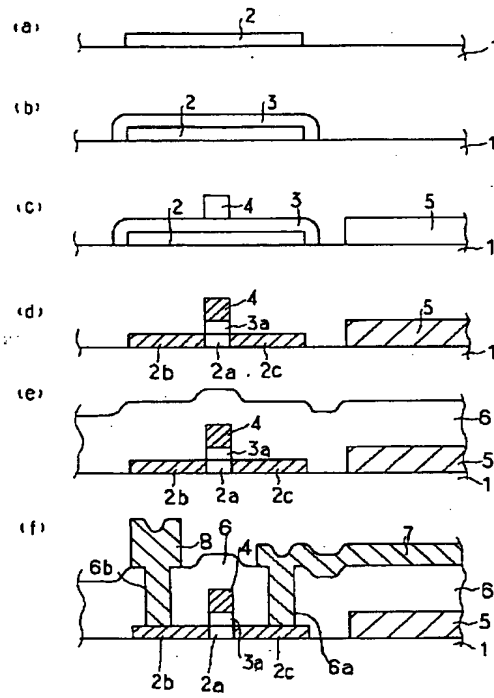
【図6】



【図7】



【図8】



THIS PAGE BLANK (USPTO)